

Page 1

(57) [Abstract]

[Problem] In a configuration in which the number of output signal lines from
5 a data line driving circuit has been lowered below the number of data lines
by bundling a plurality of data lines together, striped display irregularities
appear on the screen when the driving order of the bundled data lines DL is
fixed, lowering the display quality.

[Means for Solving the Problem] A plurality of data lines DL are bundled
10 together in threes via three gate TFTs 13, and are connected to the output
signal lines D of the data line driving circuit 3 with three as one group. A
driving control circuit 6 is provided that controls the ON/OFF operation of
the gate TFTs 13 with a data line selection circuit 4, and switches the order
in which the three data lines DL forming a group are connected to the output
15 signal lines D such that it is different at each gate line GL and also, within
the same gate lines GL, every time the gate lines GL are scanned.

Page 11, col. 19, lines 38-46

20 [0093] As shown in FIG. 1, this liquid crystal display device is largely made
of a liquid crystal panel 1, a gate line driving circuit 2, a data line driving
circuit 3, a data line selection circuit 4, and a driving control circuit 5.

[0094] The gate line driving circuit 2 outputs to each gate line (scanning line)
GL a gate signal having a scanning selection voltage and a non-scanning
25 selection voltage, so that the data line driving circuit 3 outputs to each of the
data lines DL a data signal that is a video signal corresponding to each of the
data lines DL.

Page 11, col. 20, line 42 to page 12, col. 21, line 32

30 [0101] In this figure, the output signal line D1 of the data line driving circuit

3 is connected via gate TFTs 13-1a and 13-1b to the data line DL1 and the data line DL2, which form a group. Moreover, the output signal line D2 is connected via gate TFTs 13-2a and 13-2b to the data line DL3 and the data line DL4, which form a group. In a similar manner, since there are $N = 12$ in the figure, six data line groups of two data lines each are formed.

[0102] Of these twelve gate TFTs 13, the gate electrodes of the group of the gate TFTs 13-1a, 13-2a, 13-3a, ... are connected to a gate line GLa, and their opening and closing is controlled by a data line selection signal that is supplied to the gate line GLa by a data line selection circuit 4. On the other hand, the gate electrodes of the group of the gate TFTs 13-1b, 13-2b, 13-3b, ... are connected to a gate line GLb, and their opening and closing is controlled by a data line selection signal that is supplied to the gate line GLb by a data line selection circuit 4.

[0103] As mentioned above, if the driving order of the two data lines DL forming a group is a fixed order that always follows the scanning direction, then vertical stripes of one dot appear, and the display quality is lowered considerably (see FIG. 17).

[0104] To address this problem, in the liquid crystal display device of this embodiment, a driving control circuit 5 is provided that controls the output operation of the data line selection signals with the data line selection circuit 4 so that the driving order of the two data lines DL forming a group is different for each gate line GL that is scanned.

[0105] FIG. 2 shows the waveforms of the driving signals that are applied to the liquid crystal panel 1 (vertical synchronization signal, horizontal synchronization signal, data signal, data line selection signal applied to the data line GLa, data line selection signal applied to the data line GLb, gate signals applied to the gate lines GL1 to GLM, which are the control signals of the pixel TFTs 11) in the liquid crystal display device of this embodiment. It should be noted that the pixel TFTs 11 and the gate TFTs 13s that are used here are turned on by a positive voltage, like an n-channel FET. Moreover,

M has been set to $M = 8$.

[0106] As shown in FIG. 2, here, the order of the ON periods of the data line selection signals applied to the gate lines GLa and the data line selection signals applied to the gate lines GLb are switched at each gate line GL.

5

Page 12, col. 12, lines 11 to 40

[0110] FIG. 4 is an equivalent circuit diagram showing the configuration of the active matrix-type liquid crystal display device of the present embodiment.

10 [0111] The liquid crystal panel 31 in the liquid crystal display device of the present embodiment has the same basic liquid crystal panel configuration as the liquid crystal panel 1, but here, the data lines DL are bundled into groups of three lines, and are connected to the output signal lines D of the data signal driving circuit 3.

15 [0112] That is to say, in this figure, the data lines DL1, DL2 and DL3 forming a group are connected via the gate TFTs 13-1a, 13-1b and 13-1c to the output signal line D1 of the data line driving circuit 3. Moreover, the data lines DL4, DL5 and DL6 forming a group are connected via the gate TFTs 13-2a, 13-2b and 13-2c to the output signal line D2 of the data line driving circuit 3.

20 In a similar manner, since there are $N = 12$ in the figure, four data line groups of three data lines each are formed.

[0113] Of these twelve gate TFTs 13, the gate electrodes of the group of the gate TFTs 13-1a, 13-2a, 13-3a, ... are connected to a gate line GLa, and their opening and closing is controlled by a data line selection signal that is supplied to the gate line GLa by a data line selection circuit 4. On the other hand, the gate electrodes of the group of the gate TFTs 13-1b, 13-2b, 13-3b, ... are connected to a gate line GLb, and their opening and closing is controlled by a data line selection signal that is supplied to the gate line GLb by a data line selection circuit 4. And the gate electrodes of the group of the gate TFTs 13-1c, 13-2c, 13-3c, ... are connected to a gate line GLc, and their

25
30

opening and closing is controlled by a data line selection signal that is supplied to the gate line GLc by a data line selection circuit 4.

Page 13, col. 23, lines 15 to 42

5 [0118] FIG. 5 shows the waveforms of the driving signals that are applied to the liquid crystal panel 1 (vertical synchronization signal, horizontal synchronization signal, data signal, data line selection signal applied to the data line GLa, data line selection signal applied to the data line GLb, data line selection signal applied to the data line GLc, gate signals applied to the gate lines GL1 to GLM, which are the control signals of the pixel TFTs 11) in the liquid crystal display device of this embodiment. It should be noted that the pixel TFTs 11 and the gate TFTs 13s that are used here are turned on by a positive voltage, like an n-channel FET.

10 [0119] As shown in FIG. 5, here, the order of the ON periods of the data line selection signals applied to the gate lines GLa, the data line selection signals applied to the gate lines GLb and the data signal selection signals applied to the gate lines GLc are switched at each gate line GL and at each vertical period.

15 [0120] Thus, by switching the driving order of the three data lines DL forming a group at each gate line GL that is scanned and at each vertical period, even though the difference of the voltages applied to the liquid crystal capacitances 10 of each pixel due to the different driving orders cannot be cancelled, the resulting irregularities are distributed between the pixels driven by the data lines DL1, DL4, DL7, ... (group a), the pixels driven by the data lines DL2, DL5, DL8, ... (group b), and the pixels driven by the data lines DL3, DL6, DL9, ... (group c), and being dispersed to both sides on a spatial axis and the time axis, it is possible to reduce them to a dim point shape so that they cannot be perceived by the human eye and there are no visual problems.

FIG. 1

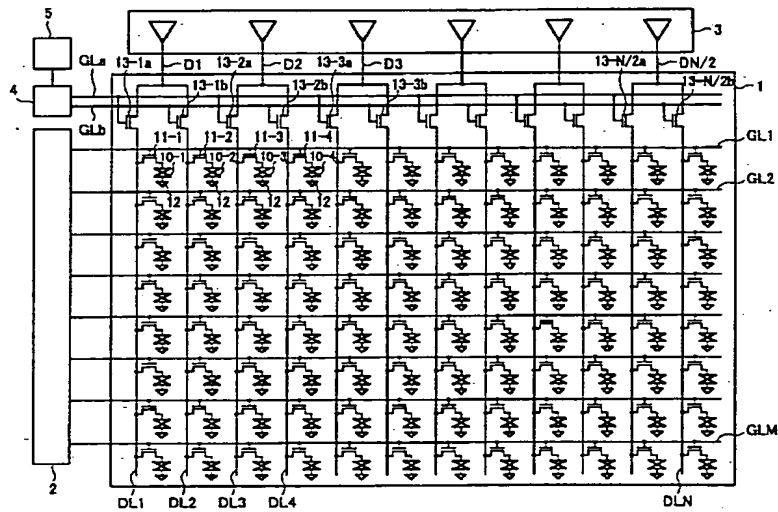
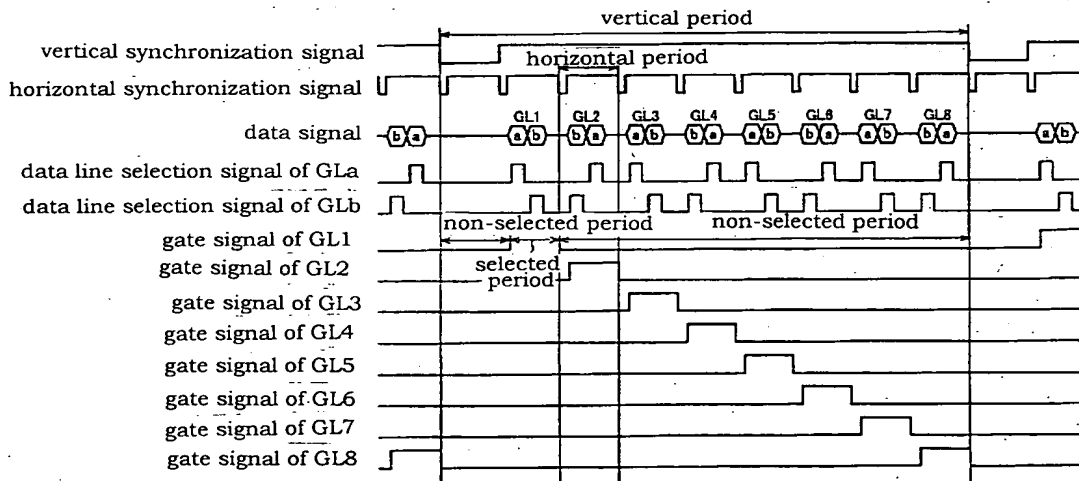


FIG. 2



The diagram illustrates the timing of various signals over multiple vertical periods. The signals shown are:

- vertical synchronization signal**: A periodic signal that is high during the vertical blanking interval of each frame.
- horizontal synchronization signal**: A periodic signal that is high during the horizontal blanking interval of each line.
- data signal**: A signal that carries the data for each line. It is shown as a series of pulses, with labels GL1 and GL2 indicating the gate signals used for each line.
- data line selection signal of GLa**: A signal that selects the data line for gate GLa. It is shown as a series of pulses, with labels GL1 and GL2 indicating the gate signals used for each line.
- data line selection signal of GLb**: A signal that selects the data line for gate GLb. It is shown as a series of pulses, with labels GL1 and GL2 indicating the gate signals used for each line.
- data line selection signal of GLc**: A signal that selects the data line for gate GLc. It is shown as a series of pulses, with labels GL1 and GL2 indicating the gate signals used for each line.
- gate signal of GL1**: A signal that gates the data for gate GL1. It is shown as a series of pulses, with labels GL1 and GL2 indicating the gate signals used for each line.
- gate signal of GL2**: A signal that gates the data for gate GL2. It is shown as a series of pulses, with labels GL1 and GL2 indicating the gate signals used for each line.

The diagram shows that the data signal is composed of two parts, GL1 and GL2, which are gated by the gate signals of GL1 and GL2. The data line selection signals (GLa, GLb, GLc) are used to select the data line for each gate. The vertical synchronization signal is used to indicate the start of each frame, and the horizontal synchronization signal is used to indicate the start of each line.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-058119

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2001-242779

(71)Applicant : SHARP CORP

(22)Date of filing : 09.08.2001

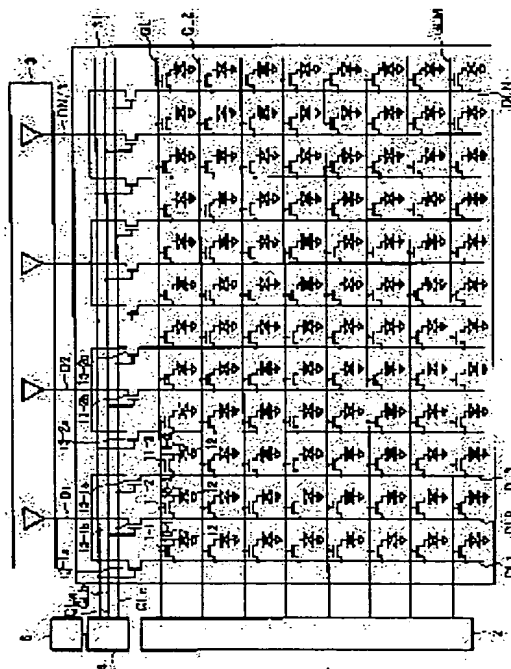
(72)Inventor : SEO MITSUYOSHI
OGAWA YASUYUKI
SASAKI OSAMU

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE, ITS DRIVING METHOD AND DRIVING CONTROL CIRCUIT BEING PROVIDED TO THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that display irregularity such as a striped pattern appears on a screen and the picture quality is deteriorated when the driving order of a bundled up data lines DL is fixed in the constitution where the number of output signal lines from a data line driving circuit is made smaller than the number of the data lines by bundling up a plurality of the data lines.

SOLUTION: A plurality of the data lines DL is tied up for every three lines through three gate TFTs 13, and the three lines are made into a group and connected to the output signal lines D of a data line driving circuit 3. A driving control circuit 6 is provided to switch the order of connections of the three data line DLs that make a group to the lines D for different gate lines GL or for the same gate lines GL so that the order of connections is different for every scanning by controlling the operations of the TFTs 13 by a data line selecting circuit 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-58119

(P2003-58119A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 P 5 C 0 8 0
			6 2 2 R
	6 2 3		6 2 3 B

審査請求 未請求 請求項の数12 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2001-242779(P2001-242779)

(22) 出願日 平成13年8月9日 (2001.8.9)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 瀬尾 光慶

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 小川 康行

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

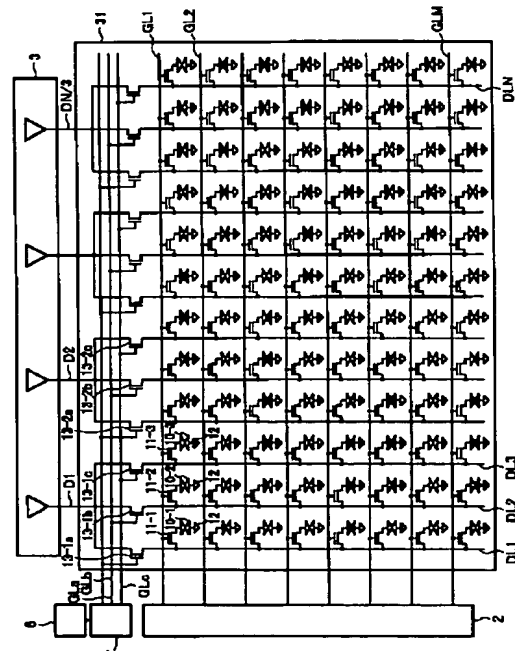
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置及びその駆動方法、並びにそれに備えられる駆動制御回路

(57) 【要約】

【課題】 複数本のデータ線を束ねることで、データ線駆動回路からの出力信号線の本数を、データ線の本数より減らした構成では、束ねたデータ線DLの駆動順序が固定されていると、縞模様の表示ムラが画面に現れ、画質が低下する。

【解決手段】 複数のデータ線DLは、3本ずつ3個のゲートTFT13を介して束ねられ、3本1組にて、データ線駆動回路3の出力信号線Dに接続されている。データ線選択回路4によるゲートTFT13のオン/オフ動作を制御して、組を成す3本のデータ線DLが出力信号線Dに接続される順序を、ゲート線GL毎に、かつ、同じゲート線GLであっても走査する度に異なるように切り換える駆動制御回路6が備えられている。



【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備えたアクティブマトリクス型表示装置において、上記複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換える選択順序切換手段を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備えたアクティブマトリクス型表示装置において、上記複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換える選択順序切換手段を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項3】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備えたアクティブマトリクス型表示装置において、上記複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換える選択順序切換手段を備えていることを特徴とするアクティブマト

リクス型表示装置。

【請求項4】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項5】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項6】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換えることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項7】マトリクス状に配置された複数の画素と、

画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、

第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えることを特徴とするアクティブマトリクス型表示装置の駆動制御回路。

【請求項8】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、

上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えることを特徴とするアクティブマトリクス型表示装置の駆動制御回路。

【請求項9】マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、

上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換えることを特徴とするアクティブマトリクス型表示装置の駆動制御回路。

【請求項10】上記 n 本1組に束ねられるデータ線は、互いに隣り合うデータ線であることを特徴とする請求項1～3の何れか1項に記載のアクティブマトリクス型表示装置。

【請求項11】上記データ線駆動回路は、アクティブマトリクス型表示装置における表示部に一体形成されており、かつ、 n 本1組に束ねられたデータ線を駆動する、デジタル／アナログコンバータを有していることを特徴とする請求項1～3の何れか1項に記載のアクティブマトリクス型表示装置。

【請求項12】上記選択順序切換手段は、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、乱数を用いてランダムに切り換えることを特徴とする請求項1～3の何れか1項に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TFT (Thin Film Transistor) 方式の液晶表示装置など、アクティブマトリクス型表示装置にかかり、より詳細には、映像信号の載るデータ線が複数単位で束ねられてデータ線駆動回路の出力に接続されるタイプのアクティブマトリクス型表示装置及びその駆動方法、並びにそれに備えられる駆動制御回路に関するものである。

【0002】

【従来の技術】近年、液晶表示装置は、CRT (Cathode Ray Tube) に比べて薄型化が可能であること、消費電力が小さいこと等の利点を有していることから、携帯用電子機器の表示装置のみならず、パーソナルコンピュータ等の据え置き型電子機器の表示装置にも用途を広げつつある。なかでも、各画素にスイッチング素子を設けて液晶を駆動するアクティブマトリクス型の液晶表示装置は、原理的にコントラストが高く、応答速度を速くできる等の利点を有している。

【0003】上記スイッチング素子には、非線形抵抗素子や半導体素子が用いられるが、なかでも、透過型表示が可能であり、大面積化も容易である等の理由から、透明な絶縁性基板上に形成されたTFTが用いられている。特に、チャネル部分の半導体層に多結晶シリコン (P-si) を用いたTFTは、従来の非晶質シリコン (a-Si) を用いたものに比べ、さらに低消費電力及び高速応答が可能な液晶表示装置を実現できる。

【0004】このようなTFTを用いたアクティブマトリクス型の液晶表示装置は、スイッチング素子を持たない液晶表示装置よりも製造コストが高いものとなるが、TFTを用いながらも製造コストを抑える技術も発表されている。

【0005】そのうちのひとつとして、特公平3-74839号公報には、 n 本のデータ線が同数のTFTを介して1本のデータ線に接続された構造のアクティブマトリ

クス型表示装置が開示されている。

【0006】該公報の構成を用いたアクティブマトリクス型の液晶表示装置を、図13の等価回路図を用いて説明する。

【0007】図13において、100は液晶パネルであり、2はゲート線駆動回路、3はデータ線駆動回路である。ゲート線駆動回路2は、後述する各ゲート線（走査線）GLに、走査選択電圧と非走査選択電圧とをもつゲート信号を出力するもので、データ線駆動回路3は、後述する各データ線DLに各データ線DLに対応する映像信号であるデータ信号を出力するものである。

【0008】液晶パネル100は、特に図示してはいないが、所定の距離を隔てて平行に対向配置されたマトリクス基板と、対向基板と、これら両基板間に充填された液晶とを有している。

【0009】このうち、マトリクス基板には、複数の互いに並行なデータ線DL1～DLNと、該データ線DLに交差する複数の互いに並行なゲート線GL1～GLMとが設けられ、これらデータ線DLとゲート線GLとの各交点には、後述する対向電極12と液晶容量10とで表示の一単位となる画素を構成する画素電極（不図示）と、該画素電極に対応するデータ線DLに電気的に接続するための画素TFT11とが配設されている。この画素TFT11のゲート電極は上記ゲート線GLに接続されると共に、ソース電極はデータ線DLに、ドレイン電極は画素電極にそれぞれ接続されている。

【0010】このような構成では、ゲート電極に上記のゲート線駆動回路2よりゲート線選択電圧が印加されている期間（以下、書き込み期間と称する）、画素TFT11がオン状態（低抵抗の状態）になるため、上記データ線駆動回路3よりデータ線DLに印加された映像信号を示すデータ信号の電位が画素電極へと伝達されて、画素電極の電位はデータ線DLの電位と同じに設定される。一方、ゲート電極にゲート線非選択電圧が印加されている期間（以下、保持期間と称する）は、画素TFT11がオフ状態（高抵抗の状態）になるため、画素電極の電位は書き込み時に印加された電位に保持される。

【0011】対向基板には、液晶容量10の他方の電極となる対向電極12が形成されている。該対向電極12は、対向基板の全面に設けられ、全画素共通に構成されている。該対向電極12には上記マトリクス基板の周辺に配設されたコモン端子（不図示）を介してマトリクス基板側から適切な共通電圧が印加されるようになっている。

【0012】液晶容量10に印加される電圧は、画素電極と対向電極12との電位差に相当する電圧であって、この電圧を制御することで、液晶の光透過率を制御して、画像の表示が可能となる。なお、ここまでの構成は、アクティブマトリクス型液晶表示装置の一般的な構成である。

【0013】上記公報にて提案されている特徴的な構成は、1本のデータ線DLに、上記した液晶を駆動する画素TFT11とは別の第2のTFT13（以下、ゲートTFT13と称する）を介して、異なるデータ線DLが接続され、2本1組でデータ線駆動回路3の出力信号線Dに接続されている点である。

【0014】この図では、データ線駆動回路3の出力信号線D1と接続されたデータ線DL2に、ゲートTFT13-1を介してデータ線DL1が接続されており、また、出力信号線D2と接続されたデータ線DL4に、ゲートTFT13-2を介してデータ線DL3が接続されている。以下同様にして、図においては、N=12であるので、このような2本1組のデータ線群が6組形成されている。これら6つのゲートTFT13-1～13-6のゲート電極は、ゲート線GLaに接続されており、データ線選択回路103よりゲート線GLaに供給されるデータ線選択信号にてその開閉が制御される。

【0015】このような構成の液晶表示装置において、データ線DL1とゲート線GL1との交点にある液晶容量10-1に充電された印加電圧を更新するには、ゲートTFT13-1と画素TFT11-1とをオン状態とすればよい。これにより、データ線DL1にデータ線駆動回路3から供給されるデータ信号の電圧が、液晶容量10-1の一方の電極である画素電極に印加され、液晶容量10-1の印加電圧が更新される。

【0016】なお、このとき、データ線DL2とゲート線GL1との交点にある液晶容量10-2に充電された印加電圧までもが一緒に変動を受けるが、液晶容量11-1の充電完了後、直ちにゲートTFT13-1をオフ状態とし、同時に出力信号線D1より出力するデータ信号を更新することで、液晶容量10-2は正しい電圧で再充電される。

【0017】図14に、このときの液晶パネル100に印加される駆動信号（垂直同期信号、水平同期信号、データ信号、ゲートTFT13の制御信号であるデータ線選択信号、画素TFT11の制御信号であるゲート線GL1～ゲート線GLMに印加されるゲート信号）の波形を示す。なお、ここで用いた画素TFT11及びゲートTFT13は、nチャネルFETと同じく、正電圧でオンするものである。また、M=8とした。

【0018】このような構成とすることで、データ線駆動回路3内部の出力バッファの数が、データ線DLの本数の半分に削減される。これは、ゲートTFT13の駆動を制御するためのデータ線選択回路103を追加したことによるコストアップを帳消しにして余りあるコスト低減をもたらす。データ線選択回路103は、容易にゲート線駆動回路2内に集積できるため、大幅なコストアップにはならない。また、データ線駆動回路3の出力信号線Dの数も半分となるので、実装コストも削減できる。

【0019】一方、アクティブマトリクス型表示装置においては、前述した多結晶シリコン(P-si)の高速応答の利点を活かして、表示部の外周部に画素TFTとは異なる液晶駆動用のドライバーTFTを配置し、液晶パネルを構成する同じ基板内に表示部と駆動回路部とを一体形成した、ドライバーモノリシック型の液晶表示装置も提案されている。

【0020】これにおいては特に、映像信号をデジタルデータで入力し、液晶表示装置内のD/A(デジタルアナログ)コンバータでアナログ変換するタイプのデータ線駆動回路(デジタルデータドライバー)が、外部にD/Aコンバータを持たず、入力信号の電圧振幅も小さくできる利点があるため、これからの駆動回路として有望とされている。そして、このタイプにおいても、複数のデータ線を束ねてD/Aコンバータの出力信号線と接続した構成のものがある。

【0021】図15に、液晶表示装置内にD/Aコンバータを有するデータ線駆動回路7の構成と、該データ線駆動回路7に接続されるデータ線DLの状態を示す。なお、液晶パネルを構成する基本的な構成は、図13の液晶パネル1と同じであるので、ここでは同じ参照符号を用いて、図面による記載は省略する。

【0022】データ線駆動回路7は、映像信号として入力されたデジタルデータをD/A変換した上で所望のデータ線DLに電圧を印加するものであって、シフトレジスタ20、第1のラッチ回路21、第2のラッチ回路22、及びD/Aコンバータ23とからなる。図15では、4本のデータ線DLを1組として駆動する構成であるため、データ線DLの総数をNとすると、上記回路部材はそれぞれN/4個が直列に接続されている。

【0023】映像信号を示すデジタルデータはシフトレジスタ20の出力タイミングによって第1のラッチ回路21にとりこまれ、転送信号(TRF)で第2のラッチ回路22へ送られる。第2のラッチ回路22で保持されたデータにしたがって、D/Aコンバータ23を通じて、アナログ映像信号に変換される。

【0024】D/Aコンバータ23は、容量分割式、抵抗選択式やその複合式等の種類があり、基準電源を用いて変換される。また、ラッチ回路を2段で組むことにより、第2のラッチ回路22のデータをD/A変換している間も、次のデジタルデータを第1のラッチ回路21に順次取り込むことが可能となり、D/A変換時間を確保しやすい構成とできる。

【0025】D/Aコンバータ23の回路構成において、容量分割式のコンバータがあるが、比較的回路規模が大きいと同時に、十分に精度の高い変換を行うためには容量をデータ線DLの負荷容量に対して十分に大きくする必要があり、レイアウト上面積をとることになる。また、近年、高精細化が進み画素ピッチが小さくなっているために、データ線DL毎にラッチ回路並びにD/A

コンバータ回路を設けることは難しくなっている。そのため、上記のように、複数の隣り合うデータ線DL(ここでは4本のデータ線DL)を1組にして駆動させるタイプのD/Aコンバータ23を搭載した方式が多く採用されている。

【0026】この図では、D/Aコンバータ23-1の出力である出力信号線D1に、4本のデータ線DL1~DL4がそれぞれ同数のスイッチング素子SW1~SW4を介して接続されている。また、D/Aコンバータ23-2の出力である出力信号線D2に、4本のデータ線DL5~DL8がそれぞれスイッチング素子SW5~SW8を介して接続されている。以下同様にして、データ線DLNまでが、4本ずつスイッチング素子SWを介して接続されている。

【0027】これらスイッチング素子SW1~SWNは、例えば前述の図13におけるゲートTFT13と同様にTFTより構成でき、その開閉はデータ線選択信号にて制御される。

【0028】なお、データ線駆動回路内に設けるD/Aコンバータを1つとして、アナログ信号に変換した後、シフトレジスタの出力タイミングで各データ線DLに振り分ける方法も考えられるが、例えばXGA(1024×768)の表示解像度でリフレッシュレートを60Hzとすると、必要とされるD/A変換速度は、 $1/60/768/1024=21\text{ns}$ となり、現状の多結晶シリコン(P-si)のTFT性能からすると実現が難しい。

【0029】また、1組に束ねるデータ線DLを、このように隣り合うデータ線DLではなく、複数の離れたデータ線DLを1組とする方法も考えられるが、その場合には、D/Aコンバータ23から離れたデータ線DLにアナログ信号を供給するため、D/Aコンバータ23の出力配線を長くかつ複数配置する必要があり、面積的に不利となる。

【0030】図16は、上記構成の液晶表示装置における、ゲート線GL1~ゲート線GLMに印加されるゲート信号と、上記スイッチング素子SWの開閉を制御するデータ線選択信号の波形を示す。尚、図14の場合と同様に、画素TFT11及びスイッチング素子SWとして用いたTFTは、nチャネルFETと同じく正電圧でオンするものとしている。

【0031】図16に示すように、この液晶表示装置では、データ線DL1、DL5、DL9、DL13...をグループA、データ線DL2、DL6、DL10、DL14...をグループB、データ線DL3、DL7、DL11、DL15...をグループC、データ線DL4、DL8、DL12、DL16...をグループDとして扱い、1水平期間を4フェーズに分け、各フェーズに1グループが選択され動作する。その際のグループの選択順序は、一般的には全ての水平期間において、A→B→C→D、

10

20

30

40

50

もしくは走査方向の切り換えによりD→C→B→Aのように、固定の順序を繰り返す駆動方法がとられる。

【0032】各データ線DL毎にD/Aコンバータを設ける構成では、D/A変換時間=1水平期間/1024(XGAの場合)であったが、このような回路構成とすることで、1水平期間の1/4の期間、D/Aコンバータ23へデータが入力されることとなり、D/A変換時間をこれまでより大幅に拡大することができる。

【0033】さらに、このような方法によって、D/A変換時間の拡大が可能になるのに加え、データ線駆動回路7内に設けるD/Aコンバータ23の回路数も1水平解像度(1024)の1/4で済むため、データ線駆動回路7を構成する回路素子数の低減が可能となる。

【0034】

【発明が解決しようとする課題】しかしながら、図13、図15で示した複数本のデータ線DLを束ねることで、データ線駆動回路3、7からの出力信号線Dの本数を、データ線DLの本数より減らした構成のアクティブマトリクス型の表示装置においては、束ねたデータ線DLの駆動順序を走査方向に応じたデータ線DLの配列順に固定されているため、以下に述べるような縞模様の表示ムラが画面に現れ、画質が低下するといった問題がある。

【0035】まず、図13で示した液晶表示装置における不具合を説明する。

【0036】TFTでは、その構造上、寄生容量(浮遊容量)を有しており、図13の液晶表示装置の場合、ゲートTFT13には、ソースドレイン間に容量C1が、ゲートドレイン間に容量C2が存在する。また、図示してはいないが、画素TFT11においても、同様の浮遊容量が存在する。さらに、データ線DLとゲート線GLとの交点には、カップリング容量C3が、データ線DLと対向電極12の間には容量C4が存在する。非晶質シリコンを使ったTFTの場合、そのオン抵抗は数メガΩに達するため、寄生容量と言えども無視できない。

【0037】特に、ゲート線GLaの電位が下がるときに、容量C2を介して液晶容量10-1の電荷が逃げていく影響が大きい。また、液晶容量11-2を充電中、隣接画素の画素TFT11-1もオン状態であるため、僅かな要因で、容量C4と液晶容量10-1との間で電荷の移動が発生する。

【0038】液晶表示としては液晶に印加される電圧の実効値で透過率が決まるため、ベタ画像を表示しても、このようなことが原因で、図17に示すように、駆動順序の違いで、組を成す2本データ線DLのうち、奇数番目のデータ線DL1、DL3、…(グループa)にて駆動される画素と、偶数番目のデータ線DL2、DL4、…(グループb)にて駆動される画素とでは、各々の液晶容量10に印加される電圧に差が生じてしまい、1ド

ットの縦縞の表示ムラとなって現れ、実用上十分な画質が得られなくなる。

【0039】次に、図15で示したデータ線駆動回路を備えた液晶表示装置における不具合を説明する。

【0040】液晶表示装置では、その用途により、走査方向の切り換えを行うことが通例であり、左から右へ走査する場合と、右から左へ走査する場合の2つの場合に分けて、その表示状態の説明をする。なお、ここでは、データ線DLに対して該データ線DLより電圧供給を受ける画素電極を右側に配置した場合を想定して説明するが、走査方向の切り換えを考慮すると、左側に配置した場合も同様の現象が発生することは容易に想像できる。

【0041】図15の構成において、左から右へと走査した場合(A→B→C→D)、図19(a)に示すように、グループB、C、Dのデータ線DLの電位が変化した時、各々のデータ線DLの左側に隣接する画素の液晶容量10の電位はその影響を受けて変動する。これに対し、グループAのデータ線DLの電位が変化した場合だけは、左側に隣接する画素の液晶容量10は、グループDのデータ線DLの書き込みにて所望の電位に充電されるために、結果的に影響は残らず、設定通りの電位となる。

【0042】このように、組を成す4本のデータ線DLのうちの1本のデータ線DLに関わる画素の液晶容量10の電位のみが所望の電位になることはつまり、表示状態を考えると、図19(b)に示すように、グループDに属するデータ線DL4、DL8、DL12、…で書き込まれる画素のみが異なる階調となって現れることとなる。その結果、4ドットに1ドットの縦縞として人間の目に認識され、画質の悪い液晶表示装置となる。

【0043】このような液晶容量10の電位変動は、各画素の画素電極と、その右側に位置するデータ線DLとの間に存在する寄生容量C5に起因する(図18参照)。このような寄生容量C5が存在すると、容量カップリングによって、右側に位置するデータ線DLの電位変動が、寄生容量C5のもう一方の電極である左側に隣接する画素の画素電極に伝わり、当該画素の液晶容量10の充電電圧が変動してしまう。

【0044】隣接するデータ線DLの電位変動による液晶容量10の電位の変動幅は、例えばデータ線DLが4V変動した場合、液晶容量10の電荷量 $C_{pix}=100\text{ fF}$ 、寄生容量C5の電荷量 $C_{cd}=2\text{ fF}$ とすると、 $\Delta V=4 \times C_{sd} / (C_{pix} + C_{sd}) = 0.078\text{ V}$ となる。

【0045】液晶の電圧振幅(液晶容量10に印加される最大電圧)は一般に5V程度であり、256階調の表示を行うとすれば1階調は0.0195Vとなるため、0.078Vもの変動値は4階調分の差に相当し、十分

に人間の目に認識されるレベルの変動となって現れる。また、上記電圧振幅がより小さい場合はさらに視覚上の変化が大きくなり、その影響は無視できなくなる。

【0046】図20(a)に、走査方向を右から左へと切り換えた場合(D→C→B→A)の、各液晶容量10の電位変動を示す。この場合、前述の図19(a)とは逆に、グループB、C、Dのデータ線DLの電位が変化した時、各々のデータ線DLの左側に隣接する画素の液晶容量10の電位はその影響を受けて変動するが、直ぐに次のグループのデータ線DLが選択されて所望の電位に充電されるため、影響が残らない。これに対し、グループAのデータ線DLの電位が変化した場合だけは、左側に隣接する画素の液晶容量10、つまりDグループのデータ線DLの液晶容量10は、既に書き込みが終了しているため、変動による影響が残り、組を成す4本のデータ線DLにつき1本のデータ線DLに関わる液晶容量の電位のみが所望の電位にならないこととなる。

【0047】ことはつまり、表示状態を考えると、図20(b)に示すように、グループDに属するデータ線DL4、データ線DL8、データ線DL12、…で書き込まれる画素のみが異なる階調となって現れることとなり、この場合についても、4ドットに1ドットの縦縞として人間の目に認識されてしまい、画質の悪い液晶表示装置となる。

【0048】以上は隣接する4本のデータ線DLを1組として構成した場合であるが、4本に限らずとも同様の現象は発生する。例えば、図21(a)(b)に示すように、2本のデータ線DLを1組として構成した場合においても、各ゲート線においてデータ線DLの選択順序が固定されている限り、同様の縦縞が認識されることとなる。

【0049】なお、ここでは、図13の液晶表示装置の場合、及び図15の液晶表示装置の場合と分けて説明したが、何れも組を成すデータ線DLの駆動順序を固定していることが原因であり、このような液晶パネルで発生する現象は極めて複雑で、どのような画像を表示しても、満足な画質を得られることを保証することは、非常に困難である。

【0050】本発明は、上記課題に鑑みなされたものであって、その目的は、このような複数本のデータ線を束ねて1組とし、各組毎にデータ線駆動回路の出力信号線に接続する構成のアクティブマトリクス型表示装置において、寄生容量等に起因する画質の劣化を低減し、表示品位の高いアクティブマトリクス型表示装置、及びその駆動方法、並びにそれに備えられる駆動制御回路を提供することにある。

【0051】

【課題を解決するための手段】本発明の第1のアクティブマトリクス型表示装置は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配

置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号に対応する画素に書き込む第1のスイッチング素子とを備えたアクティブマトリクス型表示装置において、上記複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換える選択順序切換手段を備えていることを特徴としている。

【0052】これによれば、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続されているので、データ線駆動回路内部の出力バッファの数等を、データ線DLの総数の $1/n$ に削減することができ、コスト削減が図れる。また、データ線駆動回路の出力信号線の数が $1/n$ となるので、データ線駆動回路が外付けされる構成においては、実装コストを削減できる。

【0053】さらに、後述するデータ線駆動回路に、デジタルデータとして入力された映像信号をアナログ変換するD/A(デジタル-アナログ)コンバータが搭載されている場合においては、1水平期間の $1/n$ の期間、D/Aコンバータにデジタルデータが入力されることとなり、D/A変換時間をこれまでより大幅に拡大することができる。しかも、データ線駆動回路内に設けるD/Aコンバータの回路数もデータ線の総数の $1/n$ であり、データ線駆動回路を構成する回路素子数の低減が可能となる。

【0054】ところが、このような構成の表示装置においては、組を構成する n 本の各データ線に接続される画素に印加される電圧は、駆動順序にて影響を受ける。したがって、駆動(接続)される順序が固定であると、画素に印加される電圧のムラがそのまま表示ムラとなって現れてしまう。

【0055】そこで、本発明の表示装置では、選択順序切換手段が、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序(つまり、出力信号線からの信号供給を受ける順序)を、走査線毎に切り換える構成としている。

【0056】これにより、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、空間軸上に振り分けることができ、人間の目に認識され難くできる。

【0057】本発明の第2のアクティブマトリクス型表

示装置は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備えたアクティブマトリクス型表示装置において、上記複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換える選択順序切手段を備えていることを特徴としている。

【0058】これにおいても、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続されているので、前述した該構成による効果を奏する。

【0059】そして、これにおいては、選択順序切手段が、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換える構成としている。

【0060】これにより、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により認識され難くできる。特に、 n が3以上の場合、空間軸上に振り分ける構成では、各走査線毎の切換順があるパターンを有している場合、該パターンに応じた表示ムラが現れることがあったが、これにより、3本以上のデータ線が束ねられた構成であっても、人間の目に認識され難くできる。

【0061】本発明の第3のアクティブマトリクス型表示装置は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備えたアクティブマトリクス型表示装置において、上記複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、

走査線毎、及び同じ走査線であっても走査する度に切り換える選択順序切手段を備えていることを特徴としている。

【0062】これにおいても、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続されているので、前述した該構成による効果を奏する。

【0063】そして、これにおいては、選択順序切手段が、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎であっても、かつ、同じ走査線であっても走査する度に切り換える構成としている。

【0064】これにより、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、空間軸並びに時間軸上に振り分けることができ、人間の目により一層認識され難くできる。特に、 n が3以上の場合、空間軸上に振り分ける構成では、各走査線毎の切換順があるパターンを有している場合、該パターンに応じた表示ムラが現れることがあったが、これにより、3本以上のデータ線が束ねられた構成であっても、人間の目に認識され難くできる。

【0065】また、上記した本発明の第1～第3のアクティブマトリクス型表示装置においては、 n 本1組に束ねられるデータ線は、互いに隣り合うデータ線であることがより好ましい。

【0066】1組に束ねるデータ線を、隣り合うデータ線DLではなく、複数の離れたデータ線DLを1組とすることも考えられるが、その場合には、データ線駆動回路からの出力信号線を長くかつ複数配置する必要がある、面積的に不利となる。

【0067】また、上記した本発明の第1～第3のアクティブマトリクス型表示装置においては、上記データ線駆動回路は、アクティブマトリクス型表示装置における表示部に一体形成されており、かつ、 n 本1組に束ねられたデータ線を駆動する、デジタル／アナログコンバータを有した構成とすることもできる。

【0068】これによれば、映像信号をデジタルデータで入力し、液晶表示装置内のD/Aコンバータでアナログ変換できるため、外部にD/Aコンバータを持たず、入力信号の電圧振幅も小さくできるといった利点を有する。

【0069】また、上記した本発明の第1～第3のアクティブマトリクス型表示装置においては、上記選択順序切手段は、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、乱数を用いてランダムに切り換える構成とすることもできる。

【0070】表示装置が液晶を用いた液晶表示装置の場合、液晶の劣化を抑制するために、液晶に印加する電圧

を周期的に逆転させる反転駆動が多く採用されるが、この場合、キラーパターンと称される表示ムラが発現する。上記の構成によれば、データ線を駆動する順序がランダムに切り換えられるので、このキラーパターンをも効果的に抑制することができる。

【0071】本発明の第1のアクティブマトリクス型表示装置の駆動方法は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えることを特徴としている。

【0072】これによれば、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすことはできないものの、それによるムラを、空間軸上に振り分けることができ、人間の目により認識され難くできる。

【0073】本発明の第2のアクティブマトリクス型表示装置の駆動方法は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えることを特徴としている。

【0074】これによれば、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすことはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により認識され難くできる。

【0075】本発明の第3のアクティブマトリクス型表示装置の駆動方法は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換えることを特徴としている。

【0076】これによれば、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎であって、かつ、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすことはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により一層認識され難くできる。

【0077】本発明の第1のアクティブマトリクス型表示装置の駆動制御回路は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2の

スイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えることを特徴としている。

【0078】このような駆動制御回路を備えることで、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすことはできないものの、それによるムラを、空間軸上に振り分けることができ、人間の目に認識され難くできる。

【0079】本発明の第2のアクティブマトリクス型表示装置の駆動制御回路は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えることを特徴としている。

【0080】このような駆動制御回路を備えることで、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすことはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により認識され難くできる。

【0081】本発明の第3のアクティブマトリクス型表

示装置の駆動制御回路は、上記の課題を解決するために、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換えることを特徴としている。

【0082】このような駆動制御回路を備えることで、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎であって、かつ、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすことはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により一層認識され難くできる。

【0083】また、本発明は、換言すれば、以下のようにも表現できる。

【0084】つまり、入力映像信号としてデジタル信号を用いるドライバーモノリシック型の表示装置の駆動制御回路において、複数の隣り合う信号線を1組にして信号電圧の順序を制御する駆動制御回路であって、1組の信号線の中での出力順序を1垂直期間毎に切り替えて駆動することを特徴としてもよい。

【0085】また、入力映像信号としてデジタル信号を用いるドライバーモノリシック型の表示装置の駆動制御回路において、複数の隣り合う信号線を1組にして信号電圧の順序を制御する駆動制御回路であって、1組の信号線の中での出力順序を1垂直期間毎に切り替えて駆動し、かつ、複数の隣り合う信号線を1組にして、D/Aコンバータを動作させることを特徴としてもよい。

【0086】また、入力映像信号としてデジタル信号を用いるドライバーモノリシック型の表示装置の駆動制御回路において、複数の隣り合う信号線を1組にして信号電圧の順序を制御する駆動制御回路であって、1組の信号線の中での出力順序を1垂直期間（水平周期）毎に切

10

20

30

40

50

り替えて駆動し、及び／又は、複数の隣り合う信号線を1組にして、D/Aコンバータを動作させ、さらに、信号線の選択する順序をランダムに切り替える乱数発生器を備えたことを特徴としてもよい。

【0087】さらに、本発明は、上記した各駆動制御回路を用いた表示装置を特徴としてもよい。

【0088】

【発明の実施の形態】本発明は、映像信号に応じた電圧（データ信号）が供給されるデータ線DLを、 n ($n \geq 2$) 本1組として束ね、各組毎にデータ線駆動回路の1本の信号線に接続した構成のアクティブマトリクス型表示装置において、組を構成する n 本のデータ線DLの駆動順序（接続順序）を、走査するゲート線GL毎に、或いは、同じゲート線であっても走査する度に切り換えるものである。また、より望ましくは、組を構成する n 本のデータ線DLの駆動順序を、走査するゲート線GL毎であってかつ、同じゲート線であっても走査する度に切り換えることであり、さらに望ましくは、その順序がランダムに選択されることである。

【0089】以下、本発明の実施の一形態を、従来の技術にて説明した事例に対応させて実施の形態1～5として説明し、最後の実施の形態6にて、データ線DLの駆動順序を上記のように切り換えることを可能とする回路構成について説明する。

【0090】なお、以下の実施の形態においては、アクティブマトリクス型表示装置として全て液晶を用いたアクティブマトリクス型液晶表示装置を例示するが、本発明は何らこれに限定されるものではなく、アクティブマトリクス型であれば、EL表示装置等にも適用できる。

【0091】〔実施の形態1〕本発明に係る実施の一形態を、図1～図3に基づいて説明すれば、以下の通りである。

【0092】図1は、本実施形態のアクティブマトリクス型液晶表示装置の構成を示す等価回路図であって、従来例を示す図13と同一構成部分は同一符号をもって表わしている。つまり、本実施の形態は、図13の従来装置に対応するものである。

【0093】図1に示すように、この液晶表示装置は、大きくは液晶パネル1と、ゲート線駆動回路2と、データ線駆動回路3と、データ線選択回路4と、駆動制御回路5より構成されている。

【0094】ゲート線駆動回路2は、各ゲート線（走査線）GLに、走査選択電圧と非走査選択電圧とをもつゲート信号を出力するもので、データ線駆動回路3は、各データ線DLに各データ線DLに対応する映像信号であるデータ信号を出力するものである。

【0095】液晶パネル1は、特に図示してはいないが、所定の距離を隔てて平行に対向配置されたマトリクス基板と、対向基板と、これら両基板間に充填された液晶とを有している。

【0096】このうち、マトリクス基板には、複数の互いに並行なデータ線DL1～DLNと、該データ線DLに交差する複数の互いに並行なゲート線GL1～GLMとが設けられ、これらデータ線DLとゲート線GLとの各交点には、対向電極12と液晶容量10とで表示の1単位となる画素を構成する画素電極（不図示）と、画素電極を対応するデータ線DLに電氣的に接続するための画素TFT11とが配設されている。この画素TFT11のゲート電極は上記ゲート線GLに接続されると共に、そのソース電極はデータ線DLに、そのドレイン電極は画素電極にそれぞれ接続されている。

【0097】このような構成では、ゲート電極に上記のゲート線駆動回路2よりゲート線選択電圧が印加されている書き込み期間、画素TFT11がオン状態（低抵抗の状態）になるため、上記データ線駆動回路3よりデータ線DLに印加された映像信号を示すデータ信号の電位が画素電極へと伝達されて、画素電極の電位はデータ線DLの電位と同じに設定される。一方、ゲート電極にゲート線非選択電圧が印加されている保持期間は、画素TFT11がオフ状態（高抵抗の状態）になるため、画素電極の電位は書き込み時に印加された電位に保持される。

【0098】対向基板には、液晶容量10の他方の電極となる対向電極12が形成されている。該対向電極12は、対向基板の全面に設けられ、全画素共通に構成されている。該対向電極12には上記マトリクス基板の周辺に配設されたコモン端子（不図示）を介してマトリクス基板側から適切な共通電圧が印加されるようになっている。

【0099】液晶容量10に印加される電圧は、画素電極と対向電極との電位差に相当する電圧であって、この電圧を制御することで、液晶の光透過率を制御して、画像の表示が可能となる。なお、ここまでの構成は、アクティブマトリクス型液晶表示装置の一般的な構成であって、図13の液晶パネル100と同じである。

【0100】この液晶パネル1における液晶パネル100との構造上の違いは、2本のデータ線DLが1組に束ねられ、2本1組でデータ線駆動回路3の出力信号線Dに接続されるにおいて、各データ線DLともにそれぞれゲートTFT13を介して出力信号線Dに接続されている点である。

【0101】この図では、データ線駆動回路3の出力信号線D1に、組を成すデータ線DL1とデータ線DL2とがそれぞれ、ゲートTFT13-1a、13-1bを介して接続されている。また、出力信号線D2に、組を成すデータ線DL3とデータ線DL4とがそれぞれ、ゲートTFT13-2a、13-2bを介して接続されている。以下同様にして、図においては、 $N=12$ であるので、このような2本1組のデータ線群が6組形成されている。

21

【0102】上記12個のゲートTFT13のうち、ゲートTFT13-1a、13-2a、13-3a、…のaのグループは、互いのゲート電極がゲート線GLaに接続されており、データ線選択回路4よりゲート線GLaに供給されるデータ線選択信号にてその開閉が制御される。一方、ゲートTFT13-1b、13-2b、13-3b…のbのグループは、互いのゲート電極が、ゲート線GLbに接続されており、データ線選択回路4よりゲート線GLbに供給されるデータ線選択信号にてその開閉が制御される。

【0103】前述したように、このように組を成す2本のデータ線DLの駆動順序を、常に走査方向に応じた一定の順序とした場合、1ドットの縦縞模様が現れ、表示品位が著しく低下する(図17参照)。

【0104】そこで、本実施形態の液晶表示装置には、上記データ線選択回路4によるデータ線選択信号の出力動作を制御して、組を成す2本のデータ線DLの駆動順序を、走査するゲート線GL毎に異ならせる駆動制御回路5が搭載されている。

【0105】図2に、本実施形態の液晶表示装置において、液晶パネル1に印加される駆動信号(垂直同期信号、水平同期信号、データ信号、ゲート線GLaに印加されるデータ線選択信号、ゲート線GLbに印加されるデータ線選択信号、画素TFT11の制御信号であるゲート線GL1～ゲート線GLMに印加されるゲート信号)の波形を示す。なお、ここで用いた画素TFT11及びゲートTFT13も、nチャンネルFETと同じく、正電圧でオンするものである。また、M=8とした。

【0106】図2に示すように、これにおいては、ゲート線GLaに印加されるデータ線選択信号とゲート線GLbに印加されるデータ線選択信号の各オン期間の順序が、ゲート線GL毎に切り換えられている。

【0107】図3に、図2の駆動信号にて表示を行った際の表示状態を示す。図3に示すように、組を成す2本のデータ線DLの駆動順序を、走査するゲート線GL毎に切り換えたことで、組を成す2本データ線DLのうち、初めに駆動されるデータ線DLに接続される画素と、後に駆動されるデータ線DLに接続される画素との、駆動順序の違いによる液晶容量10に印加される電圧の差は解消できないものの、それによるムラを、奇数番目のデータ線DL1、DL3、…(グループa)に接続される画素と、偶数番目のデータ線DL2、DL4、…(bグループ)に接続される画素とに振り分けて市松模様状とし、人間の目に認識されない視覚上問題ないものとする。

【0108】なお、このようにゲートTFT13や、データ線選択回路4、駆動制御回路5を設けたことによるコストアップも、複数本のデータ線DLを束ねて組を形成して、データ線駆動回路3内部の出力バッファの数を、データ線DLの総数の半分に削減することによるコ

22

スト削減に比べれば小さいもので、充分なコスト削減効果がある。また、データ線選択回路4は、容易にゲート線駆動回路2内に集積できるため、大幅なコストアップにはならない。さらに、データ線駆動回路3の出力信号線Dの数も半分となるので、実装コストも削減できる。

【0109】〔実施の形態2〕本発明に係る実施の他の形態を、図4～図6に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前述した実施の形態にて説明したと同じ機能を有する部材には、同じ符号を付し、説明を省略する。

【0110】図4は、本実施形態のアクティブマトリクス型液晶表示装置の構成を示す等価回路図である。

【0111】本実施形態の液晶表示装置における液晶パネル31は、液晶パネルとしての基本的な構成は液晶パネル1と同じであるが、ここでは、データ線DLが3本1組で束ねられて、データ線駆動回路3の出力信号線Dに接続されている。

【0112】すなわち、この図では、データ線駆動回路3の出力信号線D1に、組を成すデータ線DL1、DL2、DL3がそれぞれ、ゲートTFT13-1a、13-1b、13-1cを介して接続されている。また、出力信号線D2に、組を成すデータ線DL4、DL5、DL6がそれぞれ、ゲートTFT13-2a、13-2b、13-2cを介して接続されている。以下同様にして、図においては、N=12であるので、このような3本1組のデータ線群が4組形成されている。

【0113】上記12個のゲートTFT13のうち、ゲートTFT13-1a、13-2a、13-3a、…のaのグループは、互いのゲート電極がゲート線GLaに接続されており、データ線選択回路4よりゲート線GLaに供給されるデータ線選択信号にてその開閉が制御される。一方、ゲートTFT13-1b、13-2b、13-3b…のbのグループは、互いのゲート電極が、ゲート線GLbに接続されており、データ線選択回路4よりゲート線GLbに供給されるデータ線選択信号にてその開閉が制御される。ゲートTFT13-1c、13-2c、13-3c…のcのグループは、互いのゲート電極が、ゲート線GLcに接続されており、データ線選択回路4よりゲート線GLcに供給されるデータ線選択信号にてその開閉が制御される。

【0114】したがって、この構成では、データ線駆動回路3のバッファの数は、さらに削減されており、データ線DLの総数をNとするとバッファの数はN/3である。

【0115】ところで、このようにデータ線DLを3本1組で束ねた場合、各組を構成する3本のデータ線DLの駆動順序を、走査するゲート線GL毎に切り換えても、切り換える周期が一定であると、図6に示すような表示状態となり、縦縞ではないが、3ドットに1ドットのストライプ縞となって人の目に止まることとなる。

【0116】そこで、このように、束ねるデータ線DLが隣り合うもの同士であって、かつ、3本以上の場合は、走査するゲート線GL毎に異ならせるだけでなく、同じゲート線GLであっても、走査する度に異ならせ、時間軸方向にも駆動順序を換えるようにする。つまり、同じゲート線であっても、垂直周期（垂直期間）毎に変化させるように構成する。

【0117】このような駆動を可能とすべく、本実施形態の液晶表示装置では、上記データ線選択回路4によるデータ線選択信号の出力動作を制御するのとして、前述の駆動制御回路5に代えて、組を成す3本のデータ線DLの駆動順序を、走査するゲート線GL毎に異ならせるだけでなく、同じゲート線GLであっても、走査する度に異ならせる駆動制御回路6が搭載されている。

【0118】図5に、本実施形態の液晶表示装置において、液晶パネル1に印加される駆動信号（垂直同期信号、水平同期信号、データ信号、ゲート線GLaに印加されるデータ線選択信号、ゲート線GLbに印加されるデータ線選択信号、ゲート線GLcに印加されるデータ線選択信号、画素TFT11の制御信号であるゲート線GL1～ゲート線GLMに印加されるゲート信号）の波形を示す。なお、ここで用いた画素TFT11及びゲートTFT13も、nチャネルFETと同じく、正電圧でオンするものである。

【0119】図5に示すように、これにおいては、ゲート線GLaに印加されるデータ線選択信号、ゲート線GLbに印加されるデータ線選択信号、及びゲート線GLcに印加されるデータ線選択信号の各オン期間の順序が、ゲート線GL毎であって、かつ垂直周期毎に切り換えられている。

【0120】このように、組を成す3本のデータ線DLの駆動順序を、走査するゲート線GL毎であって、かつ垂直周期毎に切り換えたことで、駆動順序の違いによる各画素の液晶容量10に印加される電圧の差は解消できないものの、それによるムラを、データ線DL1、DL4、DL7、…（グループa）にて駆動される画素と、データ線DL2、DL5、DL8、…（bグループ）にて駆動される画素と、データ線DL3、DL6、DL9、…（cグループ）にて駆動される画素とに振り分け、空間軸上及び時間軸上の両方に分散させることで、かすかな点状として、人間の目に認識されない視覚上何ら問題ないものとできる。

【0121】なお、上記した駆動制御回路5、6におけるデータ線DLの駆動順序の制御には、ルックアップテーブルを使う構成や、ルックアップテーブルを使わない数線論理を用いる構成等が考えられる。また、ルックアップテーブルを使用した場合、テーブルの内容としては、規則的なものであっても、乱数等を使ったものでもよく、乱数を使うことで、駆動順序をランダムに切り換えることが可能となり、液晶表示装置が反転駆動される

場合に必ず持つキラーパターンの影響を最小限に抑えることができる。

【0122】なお、このようにゲートTFT13や、データ線選択回路4、駆動制御回路6を設けたことによるコストアップも、複数本のデータ線DLを束ねて組を形成して、データ線駆動回路3内部の出力バッファの数を、データ線DLの総数の1/3に削減することによるコスト削減に比べれば小さいもので、充分なコスト削減効果がある。また、データ線選択回路4は、容易にゲート線駆動回路2内に集積できるため、大幅なコストアップにはならない。さらに、データ線駆動回路3の出力信号線Dの数も1/3となるので、実装コストも削減できる。

【0123】〔実施の形態3〕本発明に係る実施のさらに他の形態を、図7及び図8に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前述した実施の形態にて説明したと同じ機能を有する部材には、同じ符号を付し、説明を省略する。

【0124】図7は、本実施形態のアクティブマトリクス型液晶表示装置における、データ線駆動回路の構成と、これに接続されるデータ線DLの状態を示すものであって、従来例を示す図15と同一構成部分は同一符号をもって表わしている。つまり、本実施の形態は、図15に示す従来例に対応するものであり、ドライバーモノリシック型の液晶表示装置である。

【0125】データ線駆動回路7は、映像信号として入力されたデジタルデータをD/A変換した上で所望のデータ線DLに電圧を印加するものであって、シフトレジスタ20、第1のラッチ回路21、第2のラッチ回路22、及びD/Aコンバータ23とからなる。図7では、4本のデータ線DLを1組として駆動する構成であるため、データ線DLの総数をNとすると、上記回路部材はそれぞれN/4個が直列に接続されている。

【0126】映像信号を示すデジタルデータはシフトレジスタ20の出力タイミングによって第1のラッチ回路21にとりこまれ、転送信号(TRF)で第2のラッチ回路22へ送られる。第2のラッチ回路22で保持されたデータにしたがって、D/Aコンバータ23を通じて、アナログ映像信号に変換される。

【0127】D/Aコンバータ23は、容量分割式、抵抗選択式やその複合式等の種類があり、基準電源を用いて変換される。また、ラッチ回路を2段で組むことにより、第2のラッチ回路22のデータをD/A変換している間も、次のデジタルデータを第1のラッチ回路21に順次取り込むことが可能となり、D/A変換時間を確保しやすい構成とできる。

【0128】D/Aコンバータ23の回路構成において、容量分割式のコンバータがあるが、比較的回路規模が大きいつと同時に、十分に精度の高い変換を行うためには容量をデータ線DLの負荷容量に対して十分に大きく

とる必要があり、レイアウト上面積をとることになる。また、近年、高精細化が進み画素ピッチが小さくなっているために、データ線DL毎にラッチ回路並びにD/Aコンバータ回路を設けることは難しくなっている。

【0129】そのため、このように、複数の隣り合うデータ線DL（ここでは4本のデータ線DL）を1組にして駆動させるタイプのD/Aコンバータ23を搭載した方式が採用されている。

【0130】この図では、D/Aコンバータ23-1の出力である出力信号線D1に、4本のデータ線DL1～DL4がそれぞれ同数のスイッチング素子SW1～SW4を介して接続されている。また、D/Aコンバータ23-2の出力である出力信号線D2に、4本のデータ線DL5～DL8がそれぞれスイッチング素子SW5～SW8を介して接続されている。以下同様にして、データ線DLNまでが、4本ずつ各々スイッチング素子SWを介して接続されている。

【0131】これらスイッチング素子SW1～SWNは、例えば前述の図13、図1におけるゲートTFT1、3と同様にTFTより構成でき、その開閉はデータ線選択信号にて制御される。

【0132】各データ線DL毎にD/Aコンバータを設ける構成では、D/A変換時間＝1水平期間/1024（XGAの場合）であったが、このような回路構成とすることで、1水平期間の1/4の期間、D/Aコンバータ23へデータが入力されることとなり、D/A変換時間をこれまでより大幅に拡大することができる。

【0133】さらに、このような方法によって、D/A変換時間の拡大が可能になるのに加えてデータ線駆動回路7内に設けるD/Aコンバータ23の回路数も1水平解像度（1024）の1/4ですみ、データ線駆動回路7を構成する回路素子数の低減が可能となる。

【0134】上記構成では、データ線DL4本を1組としてD/Aコンバータを動作させるにあたり、既に図16を用いて説明した示したように、データ線DL1、DL5、DL9、DL13…をグループA、データ線DL2、DL6、DL10、DL14…をグループB、データ線DL3、DL7、DL11、DL15…をグループC、データ線DL4、DL8、DL12、DL16…をグループDとし、1水平期間を4フェーズに分け、各フェーズに1グループを選択して映像信号に応じた電圧を印加するようになっている。

【0135】前述したように、その際のグループの選択順序を、全ての水平期間において、A→B→C→D、もしくは走査方向の切り換えによりD→C→B→Aのように、固定順序とすると、4ドットに1ドットの縦縞模様が現れ、表示品位が著しく低下してしまう（図19、図20参照）。

【0136】そこで、本実施形態の液晶表示装置には、上記データ線選択回路4によるデータ線選択信号の出力

動作を制御して、組を成す4本のデータ線DLの駆動順序を、同じゲート線GLであっても、走査する度に異なる駆動制御回路8が搭載されている。ここで、駆動制御回路8は、液晶表示装置の外部に設けられている。

【0137】図8（a）に、本実施形態の液晶表示装置におけるあるゲート線GLの、時間T1、T2、…におけるデータ線DLの選択順序を示す。

【0138】これに示すように、本実施形態の液晶表示装置では、駆動制御回路8が、主直周期毎に各フェーズ1～4に選択するグループを、A→B→C→D、B→C→D→A、C→D→A→B、D→A→B→Cのように、1つずつずらしているために、画面をリフレッシュする度に変動する画素の位置が異なることになる（同図（b）参照）。

【0139】液晶表示としては液晶に印加される電圧の実効値で透過率が決まるため、このときの画面表示状態は図8（c）に示すように、従来装置のようなデータ線DL毎ではなく、画素毎に平均化された変動となる。この場合、人間の目ではこれが観測されず、従来装置では認識されていた縦縞が等価的になくなったことになる。

【0140】〔実施の形態4〕本発明に係る実施のさらに他の形態を、図9に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前述した実施の形態にて説明したと同じ機能を有する部材には、同じ符号を付し、説明を省略する。

【0141】本実施形態のアクティブマトリクス型液晶表示装置は、データ線DL2本を1組としてD/Aコンバータを動作させる構成であり、従来の技術における図21と対応するものである。

【0142】液晶表示装置自体の構成としては、データ線DL2本が1組としてデータ線駆動回路7の出力信号線Dに接続されており、またデータ線駆動回路7を構成する各回路部材がデータ線DLの総数をNとして、N/2個直列に接続されている以外は図1と同一の構成を有するので、ここではこれ以上の説明は省略する。

【0143】データ線DL2本を1組としてD/Aコンバータを動作させる場合、データ線DL1、DL3、DL5、…といった奇数番目をグループA、データ線DL2、DL4、DL6、…といった偶数番目をグループBとし、1水平期間を2フェーズに分け、各フェーズに何れか1グループを選択して映像信号に応じた電圧を印加する。

【0144】その際に、全ての水平期間において、A→B（或いはB→A）のように、固定の順序を繰り返すと、2ドットに1ドットの縦縞模様が現れ、表示品位が著しく低下してしまう（図21参照）。

【0145】そこで、これにおいては、上記と同様に、上記駆動制御回路8が、データ線選択回路4によるデータ線選択信号の出力動作を制御して、組を成す2本のデータ線DLの駆動順序を、同じゲート線GLであって

も、走査する度に異ならせるようになっている。

【0146】図9(a)に、本実施形態の液晶表示装置におけるあるゲート線GLの、時間T1、T2、…におけるデータ線DLの選択順序を示す。

【0147】これに示すように、本実施形態の液晶表示装置では、組を成す2本のデータ線DLの駆動順序を、垂直周期毎に切り替えているため、ゲート線GLによって変動する画素の位置が均等にばらつき、画面をリフレッシュする度に変動する画素の位置が異なることになる(同図(b)参照)。そして、このときの画面表示状態は図9(c)に示すように、画素毎に平均化された変動となる。したがって、この場合も、人間の目ではこれが観測されず従来装置では認識されていた縦縞が等価的になくなったことになる。

【0148】〔実施の形態5〕本発明に係る実施のさらに他の形態を、図10に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前述した実施の形態にて説明したと同じ機能を有する部材には、同じ符号を付し、説明を省略する。

【0149】以上の実施の形態3、4においては、時間軸に対してデータ線DLの選択順序を変化させる構成ではあるが、図8及び図9の各(b)よりわかるように、時間軸方向にあるパターンをもっていた。

【0150】本実施形態の液晶表示装置は、この間軸方向のパターンを無くし得るものであって、実施の形態2においても述べたが、駆動制御回路がデータ線DLを駆動する順序をランダムに切り換える構成である。具体的には、駆動制御回路が乱数発生器を有しており、これを用いてデータ線DLの駆動順序を決定する。

【0151】図10(a)に、本実施形態の液晶表示装置におけるあるゲート線GLの、時間T1、T2、…におけるデータ線DLのランダムに選択されたある選択順序を示す。この例では、時間T1では「A→B→C→D」、時間T2では「C→D→A→B」、時間T3では「B→C→D→A」、時間T4では「D→A→B→C」の順にデータ線DLが選択されている。

【0152】これに示すように、本実施形態の液晶表示装置においても、実施の形態3の場合と同様に、画面をリフレッシュする度に変動する画素の位置が異なることになる(同図(b)参照)。そして、このときの画面表示状態は図10(c)に示すように、画素毎に平均化された変動となる。したがって、この場合も、人間の目ではこれが観測されず従来装置では認識されていた縦縞が等価的になくなったことになる。

【0153】そして、特にこの場合、さらに、液晶表示装置が反転駆動される場合に必ず持つキラーパターンの影響を最小限に抑えることができる。

【0154】〔実施の形態6〕本発明に係る実施のさらに他の形態を、図11及び図12に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前述した

実施の形態にて説明したと同じ機能を有する部材には、同じ符号を付し、説明を省略する。

【0155】ここでは、前述した実施の形態5の駆動を実現できる駆動制御回路の構成について説明する。

【0156】図11(a)は、データ線選択回路4のブロック図、同図(b)(c)は、データ線選択回路4の入出力波形をそれぞれ示したものである。

【0157】なお、ここでは、データ線DL4本の選択を行う場合を示しているが、実施の形態1や実施の形態4のようにデータ線DLが2本1組の場合にはさらに単純になる。

【0158】データ線選択回路4はマルチプレクサ回路からなり、データ線選択信号を生成するための2ビットのデータが外部の駆動制御回路から入力され、4つの信号を出力する。これらの信号で、スイッチング素子SW(実施の形態1、2の場合はゲートTF T13)の開閉が制御され、駆動されるデータ線DLが決定して、データ線DLへの書き込みを制御することとなる。なお、データ線選択回路4は液晶表示装置の内部に作成しているが、駆動制御回路と同様に、外部に作成することもできる。

【0159】次に、外部から入力する2ビットデータを生成する駆動制御回路について、図12を用いて説明する。

【0160】前述した実施の形態5の場合、垂直周期毎に発生するスタートパルスAにて乱数発生器を動作させてアドレスカウンタ25の出力を決め、フェーズカウンタ26の出力と合わせて、順序データROM27より2ビットデータを液晶表示装置に入力する。フェーズカウンタ26は、1フェーズ毎に発生するスタートパルスBにて1加算され、水平周期毎にリセットされる構成である。また、順序データROM27は、アドレスカウンタ25とフェーズカウンタ26より、2ビットのデータ線選択信号を読み出すことができる構成である。

【0161】なお、順序データの数Zについては、データ線DL4本の選択順序のため、順列並び替えによる24種のデータで構成すればよい。なお、このように順序データROM27を用いることで、4垂直期間において画素変動の影響が各データ線DLで等分されることとなり、実施の形態5で示したように、従来装置では認識されていた縦縞が等価的になくなる効果がある。

【0162】なお、ここでは、最も構成が複雑になる実施の形態5を実現する回路の説明であったが、実施の形態1の駆動制御回路5や、実施の形態4の駆動制御回路6では、乱数発生器を使用せずに順序データROM27を2×1の構成にすれば実現し、実施の形態2、3では、同じく順序データROMを4×1の構成にすれば実現できるため、これよりも簡略化した構成となるので、これ以上の説明は行わない。

【0163】本発明は、ゲート線GL毎(水平周期毎

に)、及び/又は、同じゲート線GLであっても走査する度に(垂直周期毎に)、データ線DLの選択順序を変えることを主眼としたものであり、順序の選び方は他にいくつも容易に考えることが可能である。

【0164】また、走査方向や画素とデータ線DLの位置関係を考慮して順序を変更することも、容易に想像できる。なお、データ線DLの選択順序を変えることは、すなわち入力する映像信号としてのデータ信号やデジタルデータの順序も、適切に変化させることが必要となり、データ線駆動回路3、7と同期したデジタルデータ制御回路や、データ並び替えに関わるメモリ回路等が必要となるが、これは、従来の技術においても、データ線DLの選択を行う以上必須の回路であり、本発明で大きく構成が変化する意味合いのものではなく、説明の便宜上、これ以上の説明は行わない。

【0165】

【発明の効果】本発明の第1のアクティブマトリクス型表示装置は、以上のように、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換える選択順序切換手段を備えていることを特徴としている。

【0166】これによれば、複数のデータ線は、 n 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続されているので、データ線駆動回路内部の出力バッファの数等を、データ線DLの総数の $1/n$ に削減することができ、コスト削減が図れる上、データ線駆動回路の出力信号線の数が $1/n$ となるので、データ線駆動回路が外付けされる構成においては、実装コストを削減できる。

【0167】さらに、後述するデータ線駆動回路に、デジタルデータとして入力された映像信号をアナログ変換するD/A(デジタル→アナログ)コンバータが搭載されている場合においては、1水平期間の $1/n$ の期間、D/Aコンバータにデジタルデータが入力されることとなり、D/A変換時間をこれまでより大幅に拡大することができる上、データ線駆動回路内に設けるD/Aコンバータの回路数もデータ線の総数の $1/n$ ですみ、データ線駆動回路を構成する回路素子数の低減が可能となる。

【0168】しかも、選択順序切換手段が、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換える構成としているので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラ

を、空間軸上に振り分けることができ、人間の目に認識され難くできる。

【0169】その結果、安価でかつ表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0170】本発明の第2のアクティブマトリクス型表示装置は、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換える選択順序切換手段を備えていることを特徴としている。

【0171】これにおいても、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続されているので、前述した該構成による効果を奏する。

【0172】そして、これに加えて、選択順序切換手段が、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により認識され難くできる。

【0173】その結果、安価でかつより表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0174】本発明の第3のアクティブマトリクス型表示装置は、以上のように、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続され、かつ、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換える選択順序切換手段を備えていることを特徴としている。

【0175】これにおいても、複数のデータ線は、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続されているので、前述した該構成による効果を奏する。

【0176】そして、これに加えて、選択順序切換手段が、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の

出力信号線に接続される順序を、走査線毎で、かつ同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、空間軸上と時間軸上とに振り分けることができ、人間の目により一層認識され難くできる。

【0177】その結果、安価でかつより表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0178】また、上記した本発明の第1～第3のアクティブマトリクス型表示装置においては、 n 本1組に束ねられるデータ線は、互いに隣り合うデータ線であることがより好ましく、複数の離れたデータ線DLを1組とする構成に比べて、面積的に有利な構成とできる。

【0179】また、上記した本発明の第1～第3のアクティブマトリクス型表示装置においては、上記データ線駆動回路は、アクティブマトリクス型表示装置における表示部に一体形成されており、かつ、 n 本1組に束ねられたデータ線を駆動する、デジタル/アナログコンバータを有して構成とすることもできる。

【0180】これによれば、映像信号をデジタルデータで入力し、液晶表示装置内のD/Aコンバータでアナログ変換できるため、外部にD/Aコンバータを持たず、入力信号の電圧振幅も小さくできるといった利点を有する。

【0181】また、上記した本発明の第1～第3のアクティブマトリクス型表示装置においては、上記選択順序切換手段は、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、乱数を用いてランダムに切り換える構成とすることもできる。

【0182】表示装置が液晶を用いた液晶表示装置の場合、液晶の劣化を抑制するために、液晶に印加する電圧を周期的に逆転させる反転駆動が多く採用されるが、この場合、キラーパターンと称される表示ムラが発現する。これによれば、データ線を駆動する順序がランダムに切り換えられるので、このキラーパターンと称される表示ムラをも効果的に抑制することができる。

【0183】本発明の第1のアクティブマトリクス型表示装置の駆動方法は、以上のように、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、第2のスイッチング素子のオン

／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えることを特徴としている。

【0184】これによれば、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、空間軸上に振り分けることができ、人間の目に認識され難くできる。

【0185】その結果、該駆動方法を採用することで、安価でかつ表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0186】本発明の第2のアクティブマトリクス型表示装置の駆動方法は、以上のように、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン/オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、上記第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えることを特徴としている。

【0187】これによれば、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン/オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により認識され難くできる。

【0188】その結果、該駆動方法を採用することで、安価でかつより表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0189】本発明の第3のアクティブマトリクス型表

示装置の駆動方法は、以上のように、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置の駆動方法であって、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換えることを特徴としている。

【0190】これによれば、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に、かつ、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により一層認識され難くできる。

【0191】その結果、該駆動方法を採用することで、安価でかつより一層表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0192】本発明の第1のアクティブマトリクス型表示装置の駆動制御回路は、以上のように、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えることを特徴としている。

【0193】このような駆動制御回路を備えることで、既に説明したように、複数のデータ線が、 n ($n \geq 2$)

本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、空間軸上に振り分けることができ、人間の目に認識され難くできる。

【0194】その結果、該駆動制御回路を備えることで、安価でかつ表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0195】本発明の第2のアクティブマトリクス型表示装置の駆動制御回路は、以上のように、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けられ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えることを特徴としている。

【0196】このような駆動制御回路を備えることで、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により認識され難くできる。

【0197】その結果、該駆動制御回路を備えることで、安価でかつより表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【0198】本発明の第3のアクティブマトリクス型表示装置の駆動制御回路は、以上のように、マトリクス状に配置された複数の画素と、画素の配置に合わせて互いに直交するように配設されるそれぞれ複数の走査線及びデータ線と、各走査線と各データ線との交点に設けら

10

20

30

40

50

れ、走査線の信号にてオン／オフが制御され、オンされたときにデータ線の信号を対応する画素に書き込む第1のスイッチング素子とを備え、かつ、上記複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、各データ線へ出力する信号を表示データに基づいて生成するデータ線駆動回路の出力信号線に接続されたアクティブマトリクス型表示装置に備えられる駆動制御回路であって、上記第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎、及び同じ走査線であっても走査する度に切り換えることを特徴としている。

【0199】このような駆動制御回路を備えることで、既に説明したように、複数のデータ線が、 n ($n \geq 2$) 本ずつ n 個の第2のスイッチング素子を介して束ねられ、 n 本1組にて、データ線駆動回路の出力信号線に接続された、コスト削減効果を有する表示装置において、第2のスイッチング素子のオン／オフを制御して、組を構成する n 本のデータ線が上記データ線駆動回路の出力信号線に接続される順序を、走査線毎に、かつ、同じ走査線であっても走査する度に切り換えるので、駆動順序の違いによる各画素に印加される電圧の差自体を無くすることはできないものの、それによるムラを、時間軸上に振り分けることができ、人間の目により一層認識され難くできる。

【0200】その結果、該駆動制御回路を備えることで、安価でかつより一層表示品位の優れたアクティブマトリクス型表示装置を提供できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態であるアクティブマトリクス型液晶表示装置の構成を示す等価回路図である。

【図2】2本のデータ線を1組として駆動する、図1の液晶表示装置における駆動信号を示す波形図である。

【図3】2本のデータ線を1組として駆動する、図1の液晶表示装置における表示状態を示す説明図である。

【図4】本発明の実施の他の形態であるアクティブマトリクス型液晶表示装置の構成を示す等価回路図である。

【図5】3本のデータ線を1組として駆動する、図4の液晶表示装置における駆動信号を示す波形図である。

【図6】3本のデータ線を1組として選択駆動する場合の、表示状態が改善されない例を示す説明図である。

【図7】本発明の実施の他の形態であるドライバーモノリシック型のアクティブマトリクス型液晶表示装置における要部を示すブロック図である。

【図8】(a)～(c)共に、4本のデータ線を1組として駆動する、図7の液晶表示装置における、組を成す各データ線DLの選択順序と該順序とした場合の表示状態を示す説明図である。

【図9】(a)～(c)共に、2本のデータ線を1組として駆動する、本発明の実施の他の形態であるアクティ

ブマトリクス型液晶表示装置における、組を成す各データ線DLの選択順序と該順序とした場合の表示状態を示す説明図である。

【図10】(a)～(c)共に、4本のデータ線を1組として駆動する、本発明の実施の他の形態であるアクティブマトリクス型液晶表示装置における、組を成す各データ線DLの選択順序と該順序とした場合の表示状態を示す説明図である。

【図11】(a)は、4本のデータ線を1組として、組を成す各データ線DLを駆動制御回路の出力にて切り換えるデータ線選択回路の構成を示すブロック図、(b)は、データ線選択回路の入力信号の波形図、(c)は、データ線選択回路の出力信号の波形図である。

【図12】4本のデータ線を1組として、組を成す各データ線DLの駆動順序を切り換え可能とする駆動制御回路の構成を示すブロック図である。

【図13】2本のデータ線を1組として駆動する、従来のアクティブマトリクス型液晶表示装置の構成を示す等価回路図である。

【図14】図13の液晶表示装置における駆動信号を示す波形図である。

【図15】従来のドライバーモノリシックタイプのアクティブマトリクス型液晶表示装置における要部を示すブロック図である。

【図16】4本のデータ線を1組として動作させる構成の回路動作を示す波形図である。

【図17】2本のデータ線を1組として選択駆動するにあたり、各ゲート線毎の駆動順序を一定とした場合に現れた表示ムラを示す説明図である。

【図18】データ線と画素間の寄生容量を示す概念図である。

【図19】(a)(b)共に、4本のデータ線を1組として駆動する、従来のアクティブマトリクス型液晶表示装置における、組を成す各データ線DLの選択順序と該順序とした場合の表示状態を示す説明図である。

【図20】(a)(b)共に、4本のデータ線を1組として駆動する、従来のアクティブマトリクス型液晶表示装置における、組を成す各データ線DLの選択順序と該順序とした場合の表示状態を示す説明図である。

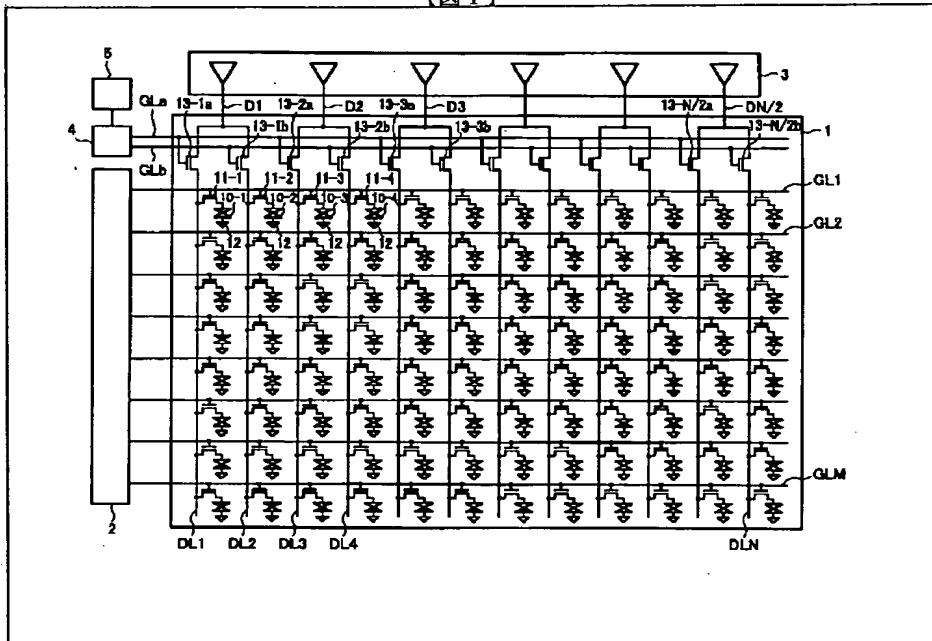
【図21】(a)(b)共に、2本のデータ線を1組として駆動する、従来のアクティブマトリクス型液晶表示装置における、組を成す各データ線DLの選択順序と該順序とした場合の表示状態を示す説明図である。

【符号の説明】

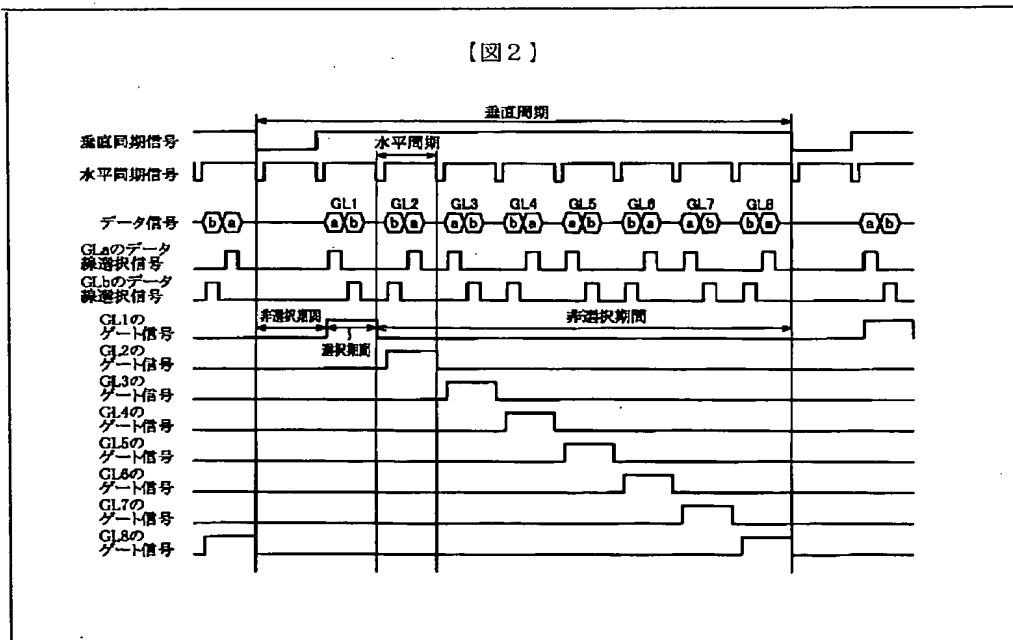
- 1 液晶パネル
- 2 ゲート線駆動回路
- 3 データ線駆動回路
- 4 データ線選択回路
- 5 駆動制御回路（選択順序切換手段）
- 6 駆動制御回路（選択順序切換手段）

- | | | | |
|----|---------------------|------|----------------------|
| 7 | データ線駆動回路 | * 13 | ゲートTFT (第2のスイッチング素子) |
| 8 | 駆動制御回路 (選択順序切換手段) | 23 | D/Aコンバータ |
| 10 | 液晶容量 | D | 出力信号線 |
| 11 | 画素TFT (第1のスイッチング素子) | DL | データ線 |
| 12 | 対向電極 | * GL | ゲート線 |

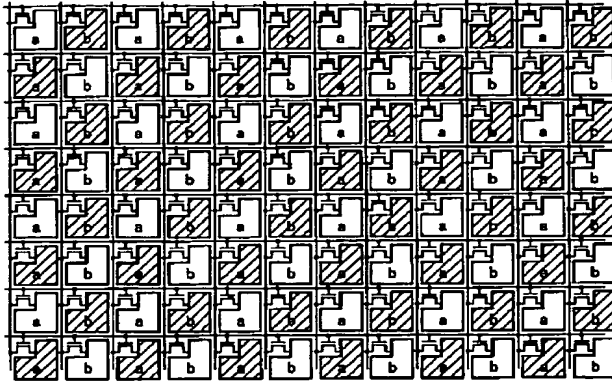
【図1】



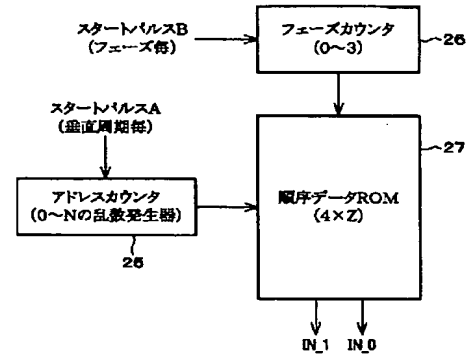
【図2】



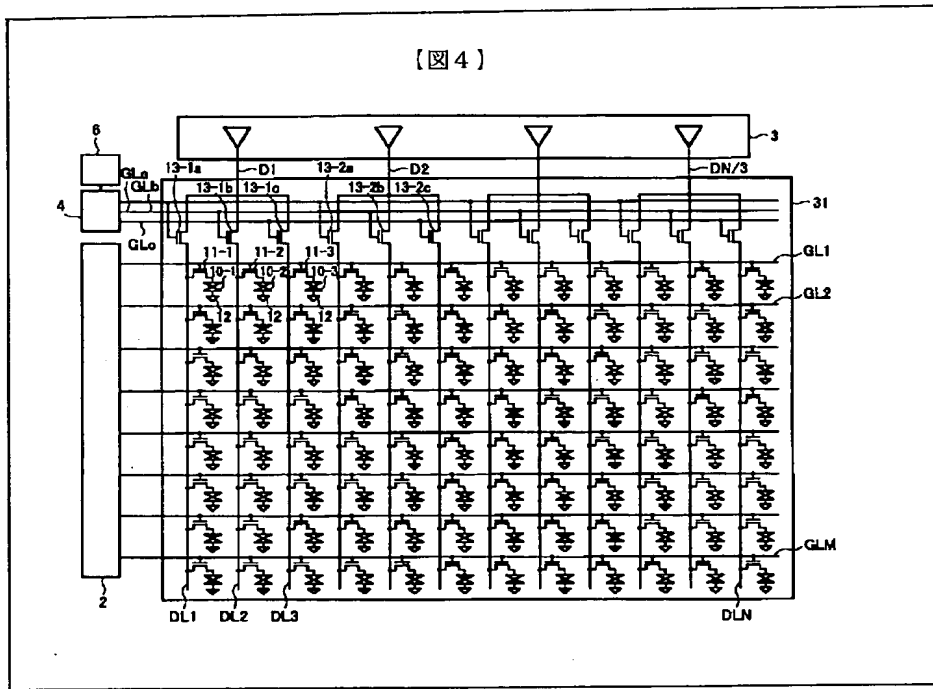
【図3】



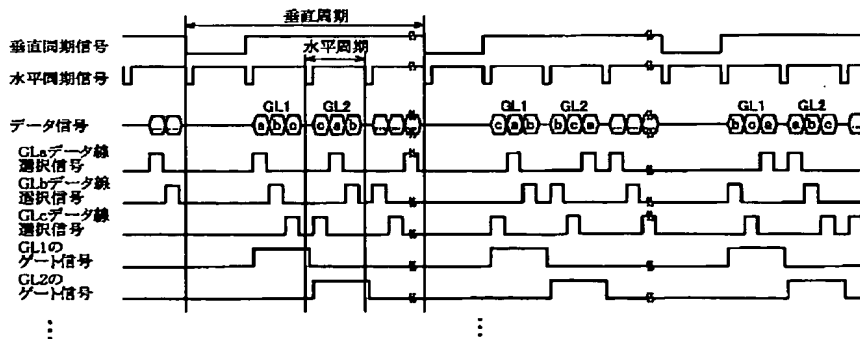
【図12】



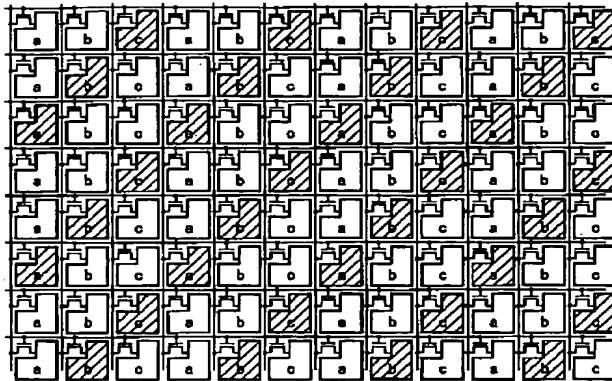
【図4】



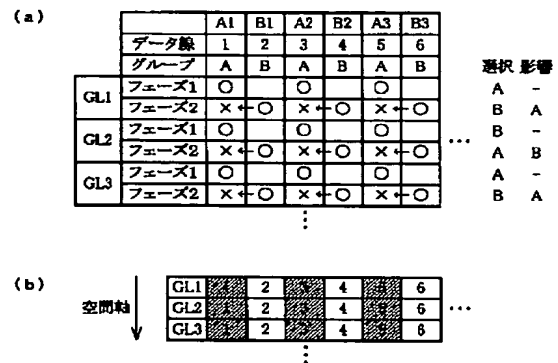
【図5】



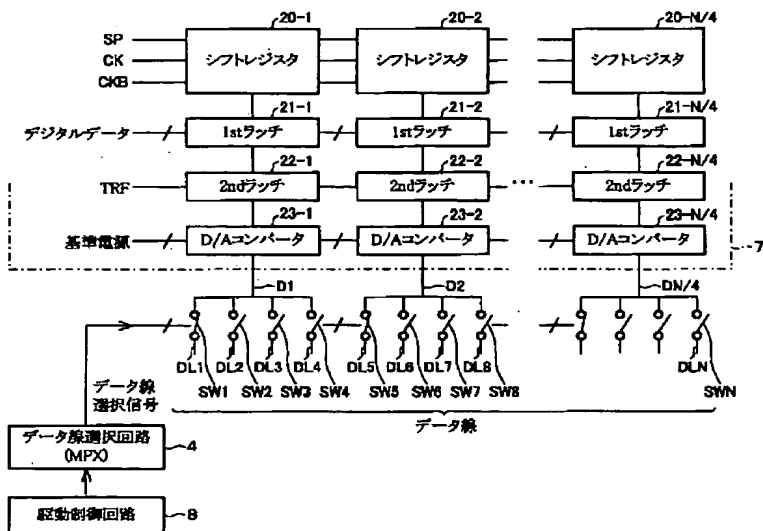
【図6】



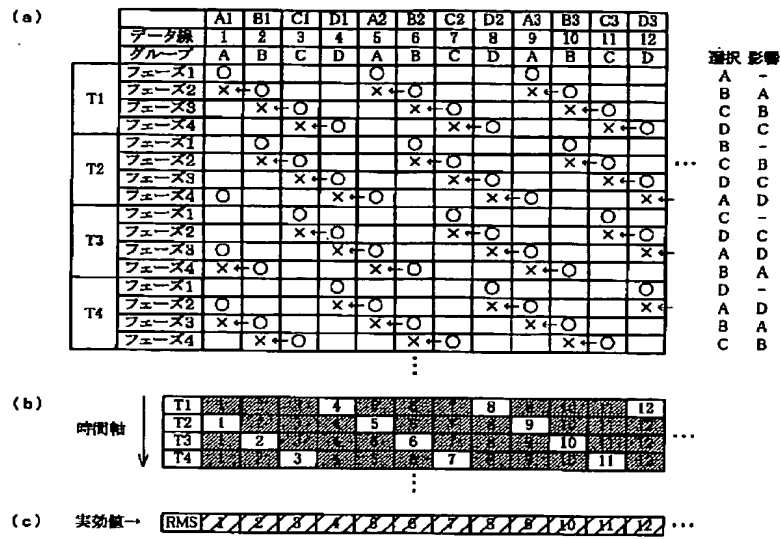
【図21】



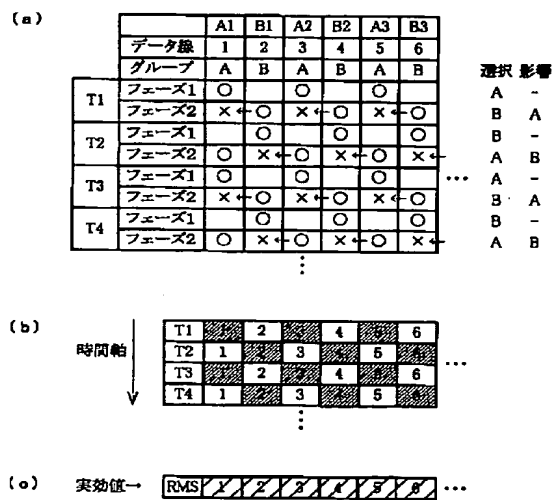
【図7】



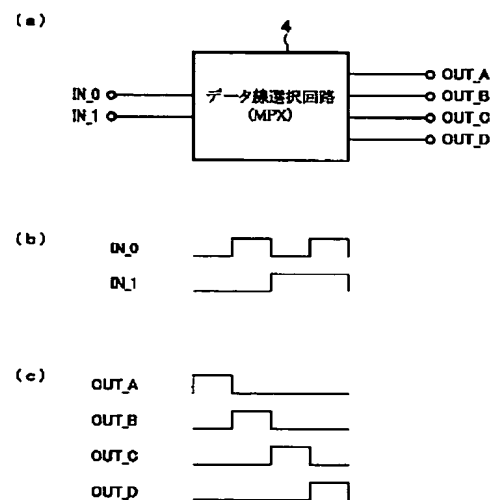
【図8】



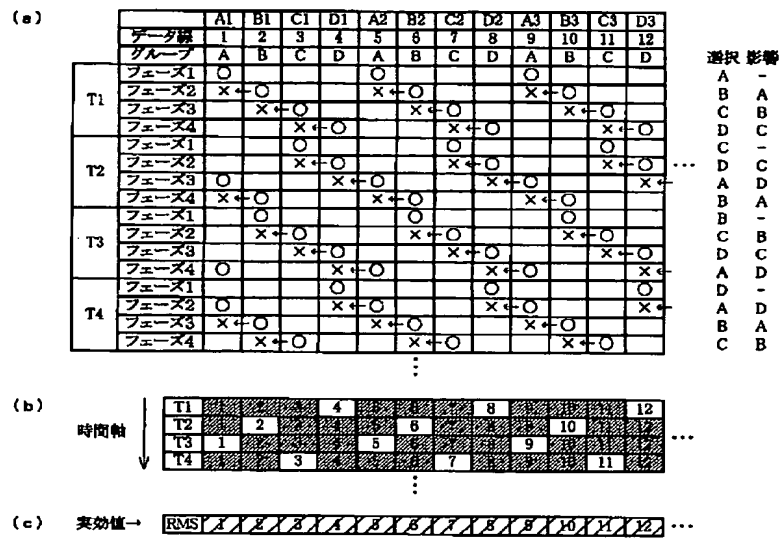
【図9】



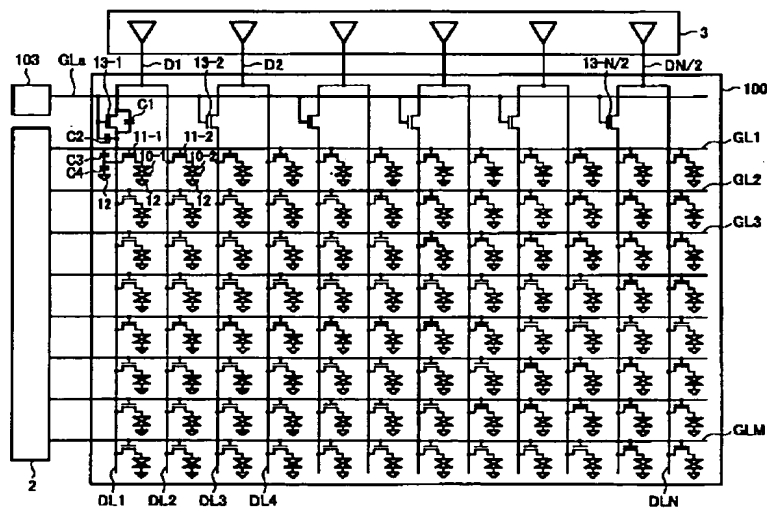
【図11】



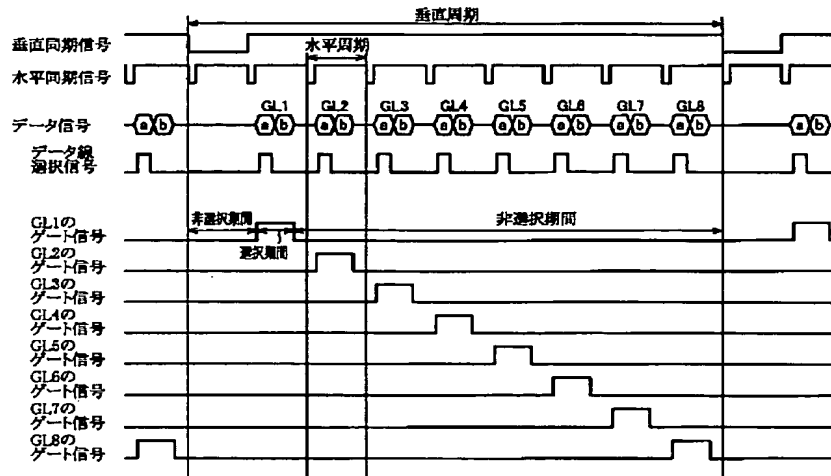
【図10】



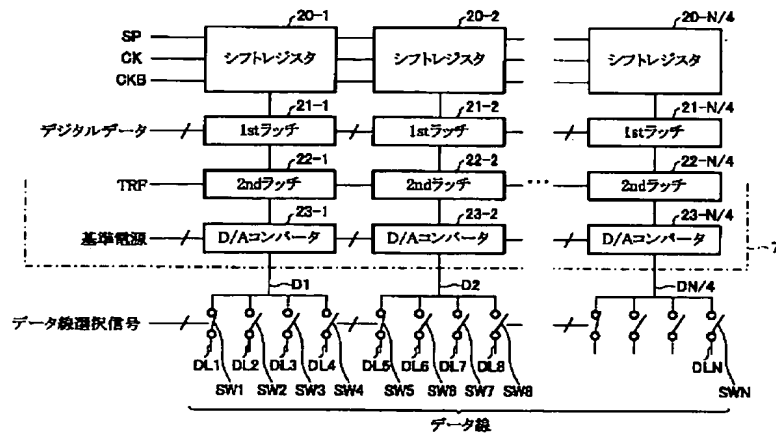
【図13】



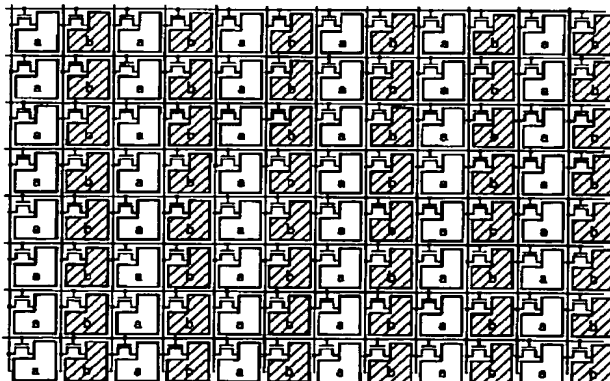
【図14】



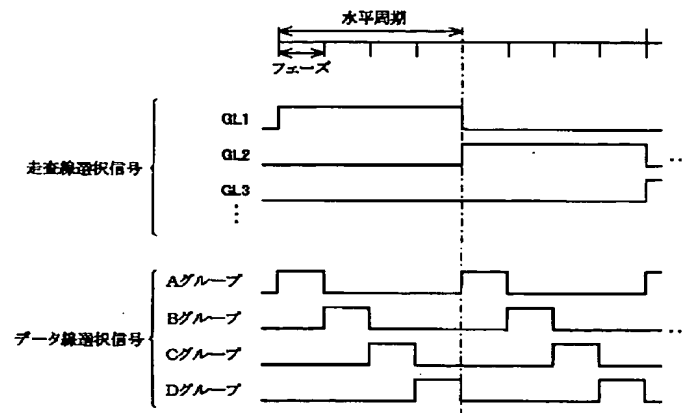
【図15】



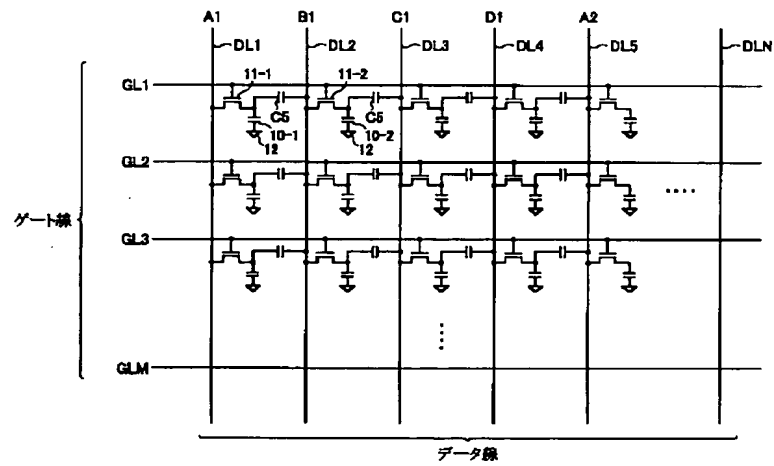
【図17】



【図16】



【図18】



【図19】

(a)

		A1	B1	C1	D1	A2	B2	C2	D2	A3	B3	C3	D3
データ線		1	2	3	4	5	6	7	8	9	10	11	12
グループ		A	B	C	D	A	B	C	D	A	B	C	D
GL1	フェーズ1	○				○				○			
	フェーズ2	x	+	○		x	+	○		x	+	○	
	フェーズ3			x	+	○		x	+	○		x	+
	フェーズ4				x	+	○		x	+	○		x
GL2	フェーズ1	○				○				○			
	フェーズ2	x	+	○		x	+	○		x	+	○	
	フェーズ3			x	+	○		x	+	○		x	+
	フェーズ4				x	+	○		x	+	○		x
GL3	フェーズ1	○				○				○			
	フェーズ2	x	+	○		x	+	○		x	+	○	
	フェーズ3			x	+	○		x	+	○		x	+
	フェーズ4				x	+	○		x	+	○		x

選択 影響
A -
B A
C B
D C
A -
B A
C B
D C
A -
B A
C B
D C

(b)

空間軸 ↓	GL1	1	2	3	4	5	6	7	8	9	10	11	12
	GL2	1	2	3	4	5	6	7	8	9	10	11	12
	GL3	1	2	3	4	5	6	7	8	9	10	11	12

【図20】

(a)

		A1	B1	C1	D1	A2	B2	C2	D2	A3	B3	C3	D3
データ線		1	2	3	4	5	6	7	8	9	10	11	12
グループ		A	B	C	D	A	B	C	D	A	B	C	D
GL1	フェーズ1				○				○				○
	フェーズ2			○				○				○	
	フェーズ3		○				○				○		
	フェーズ4	○			x	+	○		x	+	○		x
GL2	フェーズ1				○				○				○
	フェーズ2			○				○				○	
	フェーズ3		○				○				○		
	フェーズ4	○			x	+	○		x	+	○		x
GL3	フェーズ1				○				○				○
	フェーズ2			○				○				○	
	フェーズ3		○				○				○		
	フェーズ4	○			x	+	○		x	+	○		x

選択 影響
D -
C -
B -
A D
D -
C -
B -
A D
D -
C -
B -
A D

(b)

空間軸 ↓	GL1	1	2	3	4	5	6	7	8	9	10	11	12
	GL2	1	2	3	4	5	6	7	8	9	10	11	12
	GL3	1	2	3	4	5	6	7	8	9	10	11	12

フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 3 3

F I

G 0 9 G 3/20

ターマコード (参考)

6 2 3 V

6 3 3 B

(72)発明者 佐々木 修

大阪府大阪市阿倍野区長池町22番22号 シ

ャーブ株式会社内

F ターム(参考) 2H093 NA41 NB07 NB11 ND01

5C006 AA11 AC11 AC21 AC22 AC23

AC24 AF42 AF43 BB16 BC03

BC06 BC11 BC16 BC21 FA21

5C080 AA10 BB05 DD02 FF11 JJ02

JJ03 JJ04 JJ05 JJ06